

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

PAT-NO: JP408274260A  
DOCUMENT-IDENTIFIER: JP 08274260 A  
TITLE: CLOCK SKEW REDUCTION METHOD  
PUBN-DATE: October 18, 1996

INVENTOR-INFORMATION:  
NAME  
NISHIMURA, RIE

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
NEC CORP N/A

APPL-NO: JP07072934  
APPL-DATE: March 30, 1995

INT-CL (IPC): H01L027/04, H01L021/822 , H01L021/82

ABSTRACT:

PURPOSE: To provide a method of reducing clock skews, which are induced due to physical limitations (it is hard to set wirings all equal in length due to the presence of macro) or left unremoved even if wirings are laid equal in length through a clock tree method.

CONSTITUTION: Drivers of maximum drive capacity which are arranged through a clock tree method are replaced with drivers of small drive capacity which are previously prepared to make other branch tree paths equal, conforming to a path which makes a skew from a second stage to a block circuit maximum. That is,

the drivers of maximum drive capacitor other than the driver of a maximum skew, path are replaced with small-drive capacity drivers 22a, 32a, 33a, 41a, 43a, 44a, 46a, and 48a. Therefore, a circuit of this constitution can be reduced in clock skew as a whole, conforming in delay to a path where a delay becomes maximum.

COPYRIGHT: (C) 1996, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-274260

(43) 公開日 平成8年(1996)10月18日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	27/04		H 0 1 L	D
	21/822			W
	21/82			

審査請求 有 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平7-72934

(22) 出願日 平成7年(1995)3月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 西村 理恵

東京都港区芝五丁目7番1号 日本電気株

式会社内

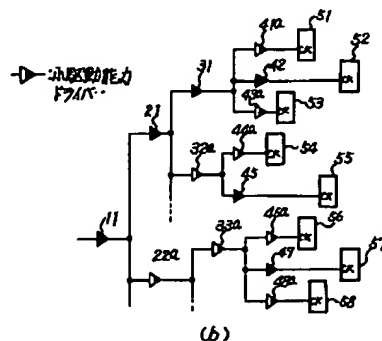
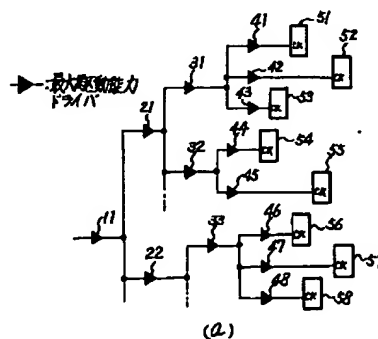
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 クロックスキュー低減方法

(57) 【要約】

【目的】 クロックツリー手法を使い等長配線を行ってもなお残るスキューや物理的制約(マクロの存在で等長配線が困難)のために生じるスキューについて、これを低減する方法を提供する。

【構成】 クロックツリー手法にて配置した駆動能力最大のドライバを、第2段目からブロック回路までのスキューが最大になるパスに合せて他の枝ツリーのパスが等しくなるように予め用意しておいた小駆動能力ドライバに差し替える。すなわち、最大駆動ドライバのうちスキュー最大パス以外のドライバを、小駆動能力ドライバ22a、32a、33a、41a、43a、44a、46a、48aに差し替えている。したがって遅延量延が最大となるパスに遅延を合わせ、全体のスキューが低減出来る。



1

## 【特許請求の範囲】

【請求項1】 半導体チップの同一基板上に、所定のクロック信号を分配するクロックドライバ群とこれらのドライバ群から前記クロック信号が供給されるブロック回路群と論理ゲート群とが所定の論理回路を構成するように自動配置配線されるゲートアレイ方式の半導体集積回路であって、前記クロック信号が複数系統に分割されそれぞれの系統ごとに前記クロックドライバが複数段ずつ従属接続されて少なくとも1つの前記ブロック回路に供給され、前記クロックドライバおよび所定の前記ブロック回路間の配線を引き回して前記クロック信号の遅延時間を調整することによりこの遅延時間を所定の前記系統間で等しくするクロックスキュー低減方法において、全ての前記クロックドライバ群がそれぞれ駆動能力の最も大きい最大駆動能力ドライバとしてあらかじめ配置され、前記複数系統のうち初段の前記クロックドライバから前記ブロック回路までの遅延量が最大になる系統のパスに合せて残りの系統のパスの前記最大駆動能力ドライバを、このドライバよりも面積および駆動能力がともに小さい小駆動能力ドライバに差し替えてタイミング調整

をすることを特徴とするクロックスキュー低減方法。  
【請求項2】 前記クロックドライバ群が、 $n$  ( $n$ は1以上の自然数) 段のクロックツリー状に構成され、第 $n-1$ 段目の前記クロックドライバ群に番号 $m$  ( $m$ は1以上の自然数) を付しておき、 $m$ 番目の前記クロックドライバから前記ブロック回路までの各パスの伝達時間を算出する第1のステップ、

前記第1のステップで算出した伝達時間から遅延最大パスを決定し、その他のパスとの間に発生するスキューを算出する第2のステップ、

第 $n$ 段目の前記クロックドライバ群のうち所定のクロックドライバを前記第2ステップの遅延最大パスの遅延に合うようにスキューに応じて前記小駆動能力ドライバに差し替える第3のステップ、

前記第1のステップから前記第3のステップまでを全ての第 $n-1$ 段目の前記クロックドライバ群について繰り返す第4のステップ、

前記第 $n$ 段を第 $n-1$ 段に置き換えて前記第1のステップから前記第4のステップまでを実行し、前記第 $n$ 段が第1段になったところで終了する第5のステップ、を有する請求項1記載のクロックスキュー低減方法。

【請求項3】 前記最大駆動能力ドライバを小駆動能力ドライバに差し替えて生じたスペースに遅延補正用配線パターンを配置し、この遅延補正用配線パターンによるタイミング調整および前記差し替えて得られたタイミング調整を併せて用いる請求項1または2記載のクロックスキュー低減方法。

【請求項4】 前記遅延補正用配線パターンとして、前記最大駆動能力ドライバを前記小駆動能力ドライバに差し替えて生じたドライバサイズの差分のスペースに配線

2

を任意の形状に引き回した第1のパターンおよび前記配線に用いる金属層を前記スペース一面に配設した第2のパターンを用いるとともに、前記金属層とは異なる層に任意の形状の配線を配設し、この任意の形状の配線と前記第1または前記第2のパターンとの配線間の寄生容量を用いて遅延を発生させた第1または第2の複合のパターンをそれぞれ単独に、または混在して前記小駆動能力ドライバの出力と接続し、前記ドライバの差し替えて残されたスキューを補正する請求項3記載のクロックスキュー低減方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、自動配線を行うゲートアレイ、スタンダードセルなどの論理集積回路に関し、特にクロックスキュー低減方法に関する。

## 【0002】

【従来の技術】 この種の従来のクロックスキュー低減方法としては、クロックツリー手法を用いた自動配置配線がある。このクロックツリー手法は、例えば、同一階層上にクロックドライバーと複数のバッファと複数のレジスタ等のブロック回路とを配置し、このバッファの配線負荷およびゲート負荷を揃えるためにクロック信号の配線がツリー (tree) 状配置になるように各レジスタおよび各バッファがそれぞれ配置される。各ブロック回路はクロックドライバーからの配線長が等しくなるようにバッファとの配線の引き回しが調整され、さらにツリー構成の負荷バランスをとるためのダミーバッファが付加される。

【0003】 クロックドライバとブロック回路間はランダムに配線されるため、クロック配線長の差からスキューが生じてしまったり、またマクロの配置によって生じた配線禁止領域を迂回するための物理的制約のためにスキューが生じてしまうことがあった。しかし将来のチップの高速化を考えた場合、このスキューをも無くすることが重要な課題となっており、種々の低減方法が試みられてきた。このスキュー低減方法の一例が特開昭63-87744号公報に記載されている。

【0004】 同公報記載のクロックスキュー防止用配線によるスキュー低減の回路図を示した図5を参照すると、クロック入力端子501はドライバ502および503にそれぞれ接続され、ドライバ502の出力端はブロック回路504および505のクロック端子CKにそれぞれ接続され、ブロック回路505に接続される配線が途中でパルス状に複数回折り曲げられたクロックスキュー防止用配線506を介して配線されている。一方、ドライバ503の出力端はブロック回路507および508のクロック端子CKにそれぞれ接続されて構成されている。

【0005】 上述したクロックスキュー防止用配線506は、この図ではブロック505の配線にしか用いられ

ていないが、他の個所にも配置される所定のブロック回路間にも適宜挿入接続され、特定の信号配線の長さで所定の遅延量を与えることによってスキューの低減を行なう配線手段である。

【0006】このクロックスキュー防止用配線506のための領域(配線補正領域)は、配置配線設計時に半導体集積回路の素子配置領域内に予め確保される。

【0007】クロックスキューの他の従来例が特開平4-64263号公報に記載されている。同公報記載のドライバ選択によるスキュー低減のチップ構成図示した図6を参照すると、この方法は、ゲートアレイのマスタチップ601の周辺部にI/Oバッファを配置したI/Oバッファ領域602と、この領域602の対向する両辺の一部に外部から供給されるクロック信号を駆動するプリドライバセル603aおよび603bと、これらのプリドライバ603aおよび603bから供給されるクロック信号を内部領域のクロック配線604aおよび604bに分配するメインドライバ605aおよび605bとからなる構造を備えてなる。

【0008】この構造によれば、それぞれ異なる位相のクロック信号に対応する分のプリドライバおよびメインドライバからなるクロック駆動回路が、予めマスタチップ601のI/Oバッファ領域内に埋め込まれるとともに、所定の位相をもつクロック信号および異なる位相をもつ複数のクロック信号分のクロック分配セルをスライスパターンとして用意しておき、駆動能力に応じてプリドライバ603aおよび603b、メインドライバ605aおよび605bの回路数を切り換えることによりユーザーが要求する回路に適したクロックの相数、ファンアウト数を選択し、スキューの低減が出来るようにしたものである。

【0009】

【発明が解決しようとする課題】上述した従来のクロックスキュー低減方法において、一方の例で説明した、特定のバスの配線を長くしたり配線幅を太くする方法では、スキューの低減は可能となるが、予め全てのブロック回路に別途配線補正領域をもたせることが必要となり著しい面積の増加を招く。また他方の従来例の場合で説明した、クロックドライバ回路を予めマスタチップに埋め込んでおき、後でユーザーの必要とする回路に最適なクロックドライバを選択する方法では、マスタチップに埋め込んだクロックドライバの駆動能力は調節できても、ブロック回路にクロックが入力するまでに通過する何段かのクロックドライバの駆動能力には言及されていないため、大まかなスキューの低減しかできない。本発明の目的は、上述した欠点に鑑みなされたものであり、ゲートアレイにおいて、クロック信号をクロックツリー方式で自動配置配線した後におお発生するクロックスキューの低減方法を提供することにある。

【0010】

【課題を解決するための手段】本発明のクロックスキュー低減方法の特徴は、半導体チップの同一基板上に、所定のクロック信号を分配するクロックドライバ群とこれらのドライバ群から前記クロック信号が供給されるブロック回路群と論理ゲート群とが所定の論理回路を構成するように自動配置配線されるゲートアレイ方式の半導体集積回路であって、前記クロック信号が複数系統に分割されそれぞれの系統ごとに前記クロックドライバが複数段ずつ従属接続されて少なくとも1つの前記ブロック回路に供給され、前記クロックドライバおよび所定の前記ブロック回路間の配線を引き回して前記クロック信号の遅延時間を調整することによりこの遅延時間を所定の前記系統間で等しくするクロックスキュー低減方法において、全ての前記クロックドライバ群がそれぞれ駆動能力の最も大きい最大駆動能力ドライバとしてあらかじめ配置され、前記複数系統のうち初段の前記クロックドライバから前記ブロック回路までの遅延量が最大になる系統のバスに合せて残りの系統のバスの前記最大駆動能力ドライバを、このドライバよりも面積および駆動能力がともに小さい小駆動能力ドライバに差し替えてタイミング調整をすることにある。

【0011】また、前記クロックドライバ群が、 $n$  ( $n$ は1以上の自然数)段のクロックツリー状に構成され、第 $n-1$ 段目の前記クロックドライバ群に番号 $m$  ( $m$ は1以上の自然数)を付しておき、 $m$ 番目の前記クロックドライバから前記ブロック回路までの各バスの伝達時間を算出する第1のステップ、前記第1のステップで算出した伝達時間から遅延最大バスを決定し、その他のバスとの間に発生するスキューを算出する第2のステップ、第 $n$ 段目の前記クロックドライバ群のうち所定のクロックドライバを前記第2ステップの遅延最大バスの遅延に合うようにスキューに応じて前記小駆動能力ドライバに差し替える第3のステップ、前記第1のステップから前記第3のステップまでを全ての第 $n-1$ 段目の前記クロックドライバ群について繰り返す第4のステップ、前記第 $n$ 段を第 $n-1$ 段に置き換えて前記第1のステップから前記第4のステップまでを実行し、前記第 $n$ 段が第1段になったところで終了する第5のステップ、を有する。

【0012】さらに、前記最大駆動能力ドライバを小駆動能力ドライバに差し替えて生じたスペースに遅延補正用配線パターンを配置し、この遅延補正用配線パターンによるタイミング調整および前記差し替えて得られたタイミング調整を併せて用いることができる。

【0013】さらにまた、前記遅延補正用配線パターンとして、前記最大駆動能力ドライバを前記小駆動能力ドライバに差し替えて生じたドライバサイズの差分のスペースに配線を任意の形状に引き回した第1のパターンおよび前記配線に用いる金属層を前記スペース一面に配設した第2のパターンを用いるとともに、前記金属層とは

異なる層に任意の形状の配線を配設し、この任意の形状の配線と前記第1または前記第2のパターンとの配線間の寄生容量を用いて遅延を発生させた第1または第2の複合のパターンをそれぞれ単独に、または混在して前記小駆動能力ドライバの出力と接続し、前記ドライバの差し替えて残されたスキューを補正することもできる。

【0014】

【作用】本発明のクロックスキュー低減方法では、まず多数の小駆動能力のクロックドライバをセルライブラリとして準備しておき、クロックツリー手法を用いて遅延の最も発生しにくい最大駆動能力のクロックドライバ（以下、最大駆動能力ドライバと称す）を配置し、各ブロック回路との配線を行う。その後、更に残ったスキューを低減するために、自動ツールにて遅延最大パスを探索、これを基準としてそれよりも負荷の小さいパスに配置されている最大駆動能力のドライバ回路をより駆動能力の小さいドライバ（以下、小駆動能力ドライバと称す）を含む回路へと差し替えることでスキューを低減するようにしたものである。ここで駆動能力の小さいドライバを含む回路とは、小駆動能力ドライバとスペースに配置する遅延補正用の配線パターンとを含んだ回路をいう。

【0015】

【実施例】まず、本発明の第1の実施例を図面を参照しながら説明する。

【0016】図1(a)は、本発明の第1の実施例におけるクロックドライバを4段構成にしたクロックツリーの要部の回路図である。この図においてはドライバは全て最大駆動能力バッファが配置されている。図1(a)を参照すると、最大駆動能力ドライバ11の出力端が最大駆動能力ドライバ21および22にそれぞれ接続され、最大駆動能力ドライバ21の出力端は、最大駆動能力ドライバ31および32にそれぞれ接続される。最大駆動能力ドライバ31の出力端は、高駆動能力ドライバ41と42と43とにそれぞれ接続される。高駆動能力ドライバ41の出力端はブロック回路51のクロック入力端子CKに接続され、最大駆動能力ドライバ42の出力端はブロック回路52のクロック入力端子CKに接続され、最大駆動能力ドライバ43の出力端はブロック回路53のクロック入力端子CKに接続される。

【0017】最大駆動能力ドライバ32の出力端は、最大駆動能力ドライバ44および45にそれぞれ接続される。最大駆動能力ドライバ44の出力端はブロック回路54のクロック入力端子CKに接続され、最大駆動能力ドライバ45の出力端はブロック回路55のクロック入力端子CKに接続される。

【0018】最大駆動能力ドライバ33の出力端は、最大駆動能力ドライバ46と47と48とにそれぞれ接続され、最大駆動能力ドライバ46の出力端はブロック回路56クロック入力端子CKに接続され、最大駆動能力

ドライバ47の出力端はブロック回路57のクロック入力端子CKに接続され、最大駆動能力ドライバ48の出力端はブロック回路58のクロック入力端子CKに接続されて構成されている。

【0019】図1(b)は本実施例のクロックスキュー低減方法により図1(a)のスキューを低減した状態を示す回路図である。図1(b)を参照すると、図1

(a)との相違点はスキュー調整により、第2段目からブロック回路までのスキューが最大になるパスに合せて他の枝ツリーのパスが等しくなるように小駆動能力ドライバに差し替えてあることである。すなわち、最大駆動ドライバ22、32、33、41、43、44、46、48がそれぞれ小駆動能力ドライバ22a、32a、33a、41a、43a、44a、46a、48aに差し替えられている。それ以外の構成要素は同じであるからここでの説明は省略する。

【0020】上述したように図1(a)のツリーはスキュー調整が終了した状態の図であり、図1(b)は最大駆動バッファを一部小駆動能力ドライバに差し替えた状態の図であるが、これらの図に併せて、スキュー低減を得るためのドライバ差し替え手順をフローチャートで示した図3を参照すると、まず、クロックツリー手法で自動配置配線を行う(図3-301)。このとき配置されるドライバは全て高駆動能力ドライバである。また、ツリーの段数を $n$  ( $n=1, 2, \dots$ )とし、この例では4段であるから $n=4$ とし、さらに、4段目のドライバを除き、各段ごとのドライバの番号を $m$  ( $m=1, 2, \dots$ )とする。

【0021】続いて、以下の処理を自動ツールにて行う。まず、 $n-1$ 段目、すなわち3段目の最大駆動能力ドライバ31、32および33にそれぞれ番号 $m$ をつける(図3-302)。

【0022】例えば、番号 $m=1$ (初期値)をつけた最大駆動能力ドライバ31を起点として、その枝ドライバである最大駆動能力ドライバ41、42および43を通りブロック回路51、52および53に達するまでのそれぞれの伝達時間を検出する(図3-303)。このとき、4段目の最大駆動能力ドライバ42を含むパスの伝達時間が一番大きかったとする(遅延最大パス)。

【0023】そこでこの最大駆動能力ドライバ42を含むパスと他の4段目の最大駆動能力ドライバ41および43を含むパスとのスキューをそれぞれ算出する(図3-304)する。

【0024】この算出結果に基づき、それぞれのスキューの値に応じて4段目の最大駆動能力ドライバ41および43を、予め用意しておいた小駆動能力のドライバ41aおよび43aに差し替え、遅延量を遅延最大パスの最大駆動能力ドライバ41のパスに揃える(図3-305)。

【0025】同様な操作を4段目の残りの全ての最大駆

動能力ドライバ44および45、最大駆動能力ドライバ46、47、48についても行って、最大駆動能力ドライバ44、46および48を小駆動能力ドライバ46a、47a、48aに差し替える。すなわち、mが配置されたドライバの最後の番号、この例ではm=3まで繰り返す(図3-306)。

【0026】次に2段目の最大駆動能力ドライバ21に着目し、ドライバ21の枝ドライバすなわち3段目の最大駆動能力ドライバ31、32について考える。ドライバ21を起点として最大駆動能力ドライバ31、32を通りブロック回路51...55に達するまでの遅延を検出し、最大駆動能力ドライバ31を含むパスが遅延最大パスだったとする。このパスに他のパスの遅延を揃えるため、最大駆動能力ドライバ32を小駆動能力ドライバ32aに差し替える。

【0027】同様にドライバ22を起点として最大駆動能力ドライバ33を通りブロック回路56...58に達するまでの遅延を検出し、この図では省略した3段目の他の最大駆動能力ドライバを含むパスが遅延最大パスだったとすると、このパスに他のパスの遅延を揃えるため、最大駆動能力ドライバ33を小駆動能力ドライバ33aに差し替える(図3-307)。

【0028】最後に1段目の最大駆動能力ドライバ11に着目し、ドライバ11の枝ドライバすなわち2段目の最大駆動能力ドライバ21、22について考えると、ドライバ11を起点として最大駆動能力ドライバ21、22を通りブロック回路51...58に達するまでの遅延を検出し、最大駆動能力ドライバ21を含むパスが遅延最大パスだったとする。このパスに最大駆動能力ドライバ22に接続されるパスの遅延を揃えるため、最大駆動能力ドライバ22を小駆動能力ドライバ22aに差し替えて、各パス間のスキューを順次無くしていく(図3-307)。この差し替えが終了すると、n=2になるからこのフローは全て終了する。

【0029】この時、ドライバの駆動能力のステップが細かい程、補正できる遅延値が細くなり、スキューも小さく出来る。

【0030】本発明の第2の実施例におけるクロックドライバを4段構成にしたクロックツリーの要部の回路図を示した図2を参照すると、第1の実施例との相違点は、小駆動能力ドライバ22a、32a、33a、41a、43a、46a、48aとそれぞれの次段との配線にパルス波形状に複数回折り曲げた遅延補正用配線を挿入配置したことである。すなわち、ブロックサイズの大きな最大駆動能力ドライバをブロックサイズの小さな小駆動能力ドライバに差し替えを行うと同時に生じるブロックサイズの差分のスペースに、遅延補正用配線パターンL1...L8を配置したことを示している。

【0031】遅延補正用配線パターンとしては、ブロックサイズの差分のスペースに配線を任意の形状で細密に

引き回した第1のパターンまたは配線に用いる金属層を差分のスペース一面に配置した第2のパターンと、上述の金属層とは異なる層に任意に配設した配線との間にそれぞれの寄生容量をすることによって更なる遅延を発生させた第1または第2パターンとの複合のパターンをそれぞれ単独に、または混在して小駆動能力ドライバの出力と接続することで、ドライバの差し替えで残ってしまったスキューをもアナログ的に補正することが出来る。すなわち、ドライバの差し替えによって生じたスペースに遅延補正用配線を配置することで遅延の調整をよりきめ細かく行うことができる。

【0032】ドライバ差し替えによる遅延補正量を示した図4を参照すると、横軸に外部負荷容量値を、縦軸に遅延量をそれぞれとり、最大駆動能力ドライバおよび小駆動能力ドライバにつく外部負荷容量に対する遅延量の変化を示している。例えばあるパスに存在する最大駆動能力のドライバをある小駆動能力のドライバに差し替えた場合、ドライバにつく外部負荷容量が10pFの時、新たに600psの遅延を生じさせることができた。よってこの場合、600psのスキューの補正が可能となる。一方、現状発生しているクロックスキューの最大値は500psであるので、0~500psまでの遅延を任意に発生させるためには、異なる駆動能力のクロックドライバを数多くセルライブラリとして持ち、これらと差し替えを行えばよい。

【0033】

【発明の効果】上述したように本発明のクロックスキュー低減方法は、あらかじめ駆動能力の異なる多種類のクロックドライバをセルライブラリとして準備しておき、はじめにクロックツリー手法を用いて遅延の最も発生しにくい最大駆動能力のクロックドライバを配置して各ブロック回路との配線を行い、次に、更に残ったスキューを低減するために、自動ツールにて遅延最大パスを探索、これを基準としてそれよりも負荷の小さいパスに配置されている最大駆動能力ドライバを小駆動能力ドライバと差し替えることでスキューを低減する様にしたので、クロックツリーの手法を使って配置配線を試みてもなお残ってしまったスキューや、マクロの配置によって生じた配線禁止領域を迂回するための物理的制約から生じたスキューを低減することが出来る。更に最大駆動能力ドライバを基準としてそこから小駆動能力ドライバへと差し替えを行うので、回路の高速動作を保ちながらスキューの低減をすることが出来る。

【図面の簡単な説明】

【図1】(a)本発明の第1の実施例であるクロックドライバ4段構成のクロックツリーの要部の回路図である。

(b)図1(a)のスキューを低減した状態を示す回路図である。

【図2】クロックドライバ差し替えのフローチャートで



ある。

【図3】第2の実施例におけるロックドライバを4段構成に遅延補正用配線を加えたクロックツリーの要部の回路図である。

【図4】ドライバ差し替えによる遅延補正量を示した図である。

【図5】従来技術におけるクロックスキュー防止用配線によるスキュー低減を示した回路図である。

【図6】従来技術におけるドライバ選択によるスキュー低減を示したチップ構成図である。

【符号の説明】

11, 21, 22, 31~33, 41~48 最大駆動能力ドライバ

22a, 32a, 33a, 41a, 43a, 44a, 46a, 48a 小駆動能力ドライバ

51~58 ブロック回路

301~307 フローチャートの処理ステップ

501 クロックの入力端子

502, 503 ドライバ回路

504, 505, 507, 508 ブロック回路

506 クロックスキュー防止用配線

601 マスタチップ

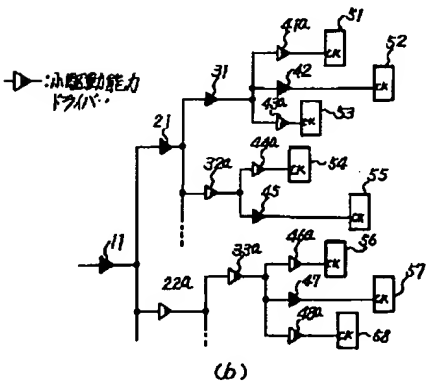
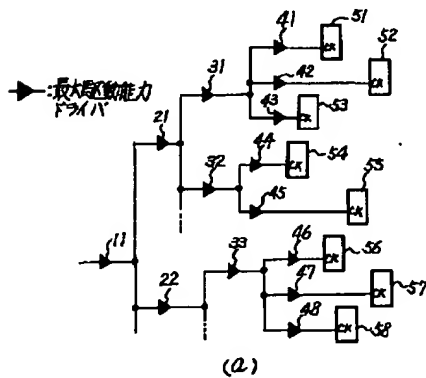
10 602 I/Oバッファ領域

603a, 603b アプリドライバセル

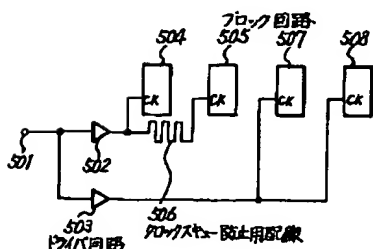
604 クロック信号配線

605a, 605b メインドライバセル

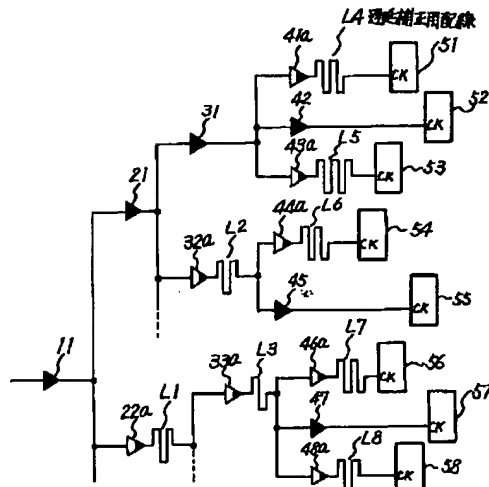
【図1】



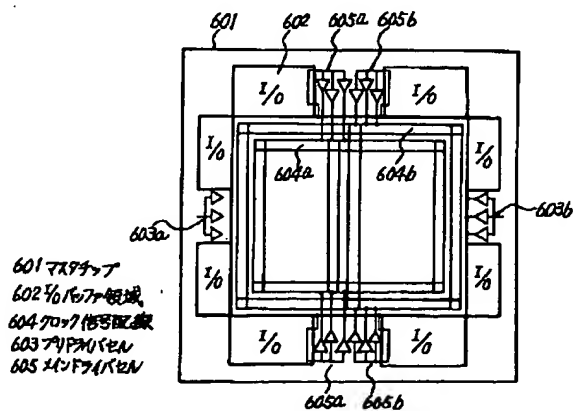
【図5】



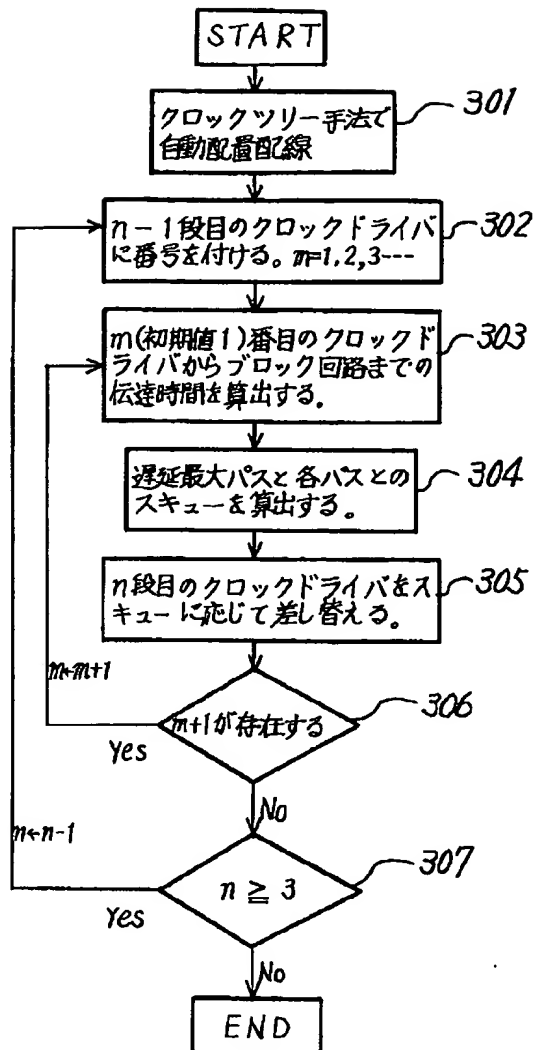
【図2】



【図6】



【図3】



【図4】

